Exercices de logique séquentielle

F. Auger, 07/04/2020

Exercice 1 : analyse d'un circuit

D est la sortie d'un opérateur ou exclusif d'entrées e et Q.

donc $D = e \oplus Q$

e	Q	$e \oplus Q$
0	0	0
0	1	1
1	0	1
1	1	0

Si $e = 0$ $D = e \oplus Q = 0 \oplus Q = Q$ (0 est élément neutre)

Si $e = 1$ $D = e \oplus Q = 1 \oplus Q = \overline{Q}$

D est la variable logique d'entrée de la bascule D utilisée dans ce circuit. La règle d'évolution d'une bascule D est la suivante : A chaque front montant du signal d'activation H, le niveau logique présent sur l'entrée D est transmis vers la sortie Q

Donc dans le cas de ce circuit, à chaque front montant de la variable logique d'activation H, et seulement à ces instants là,

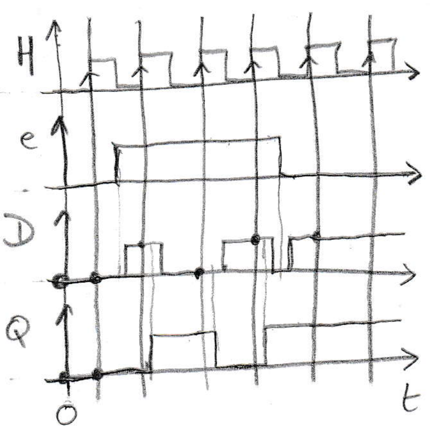
Si $e = 0$ $D = Q$, donc le niveau logique de Q est transmis vers Q donc Q garde sa valeur et ne change pas

Si $e = 1$ $D = \overline{Q}$ donc la négation de Q est envoyée vers Q donc Q change de niveau

C'est une bascule T (toggle), dont le tableau de comportement est :

e	Q(t)
0	$Q(t-\delta)$
1	$\overline{Q(t-\delta)}$

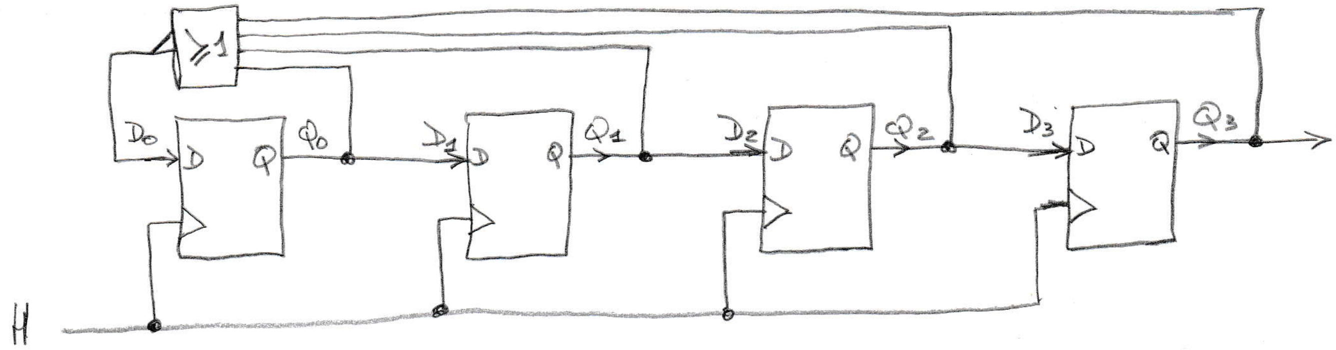
à l'instant t d'un front montant sur H



Pour compléter le chronogramme,
- repérer les instants des fronts montants du signal d'activation
- à ces instants là et seulement à ces instants là, appliquer la règle d'évolution de la bascule D.
- bien marquer les retards de propagation

faire l'exo 3

Exercice 3 analyse d'un circuit



Ce circuit est un circuit de logique séquentielle car il utilise quatre bascules D. Il est synchrone car les 4 bascules sont activées par la même variable logique H

1) $D_3 = Q_2$

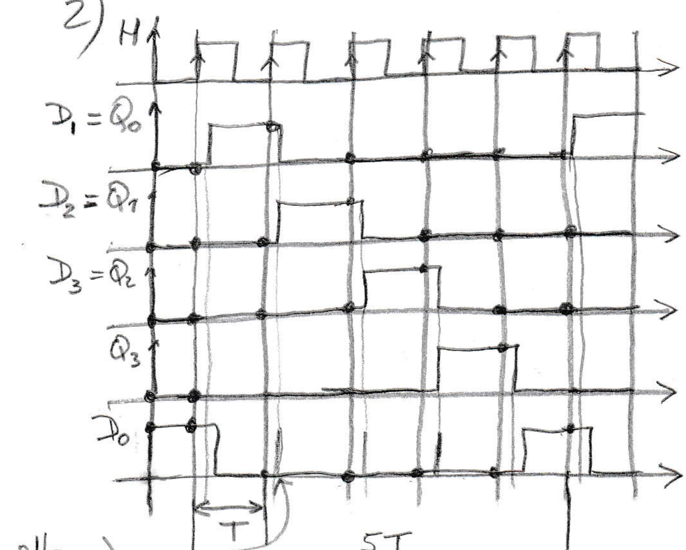
$D_2 = Q_1$

$D_1 = Q_0$

$D_0 = \overline{Q_0 + Q_1 + Q_2 + Q_3} = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}$

donc $D_0 = 1$ uniquement quand $Q_0 = 0$, $Q_1 = 0$, $Q_2 = 0$ et $Q_3 = 0$

2)



- A $t = 0s$, $Q_3 = Q_2 = Q_1 = Q_0 = 0$ donc $D_0 = 1$
- On a 4 bascules D en série. Les changements de niveau logique sur Q_0 se propagent vers les autres sorties Q.
- Bien marquer les retards de propagation.

Si H est périodique de période T, Q_0, Q_1, Q_2, Q_3 et D_0 sont périodiques de période $5.T$

La période est multipliée par 5 $\Rightarrow f' = \frac{1}{5T} = \frac{1}{5} f$ la fréquence est divisée par 5

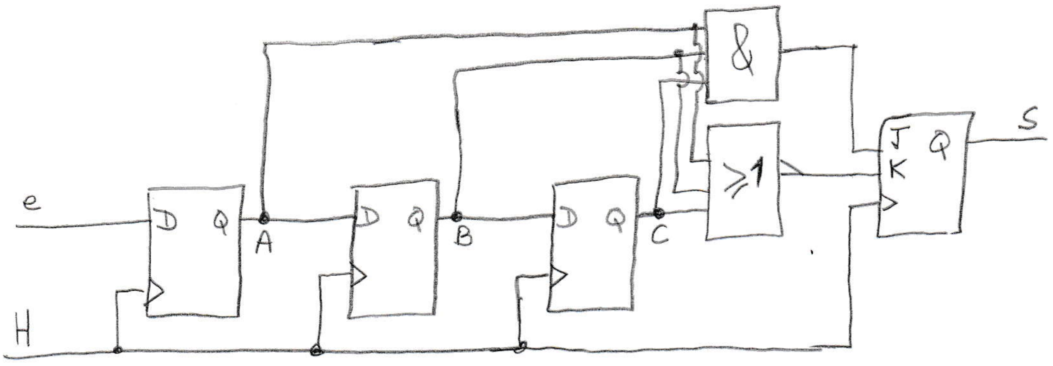
Avec 4 bascules on divise la fréquence par 5

Avec n bascules on divise la fréquence par n+1

Pour avoir une période de 7T il faut 6 bascules D.

→ Exo 2

Exercice 2 analyse d'un circuit



1) Ce circuit utilise 3 bascules D et 1 bascule JK, qui sont des composants élémentaires de logique séquentielle. C'est donc un circuit séquentiel

Les 4 bascules sont activées par la même variable logique H : C'est donc un circuit synchrone.

2) J est obtenu à la sortie d'un opérateur et avec A, B et C à l'entrée

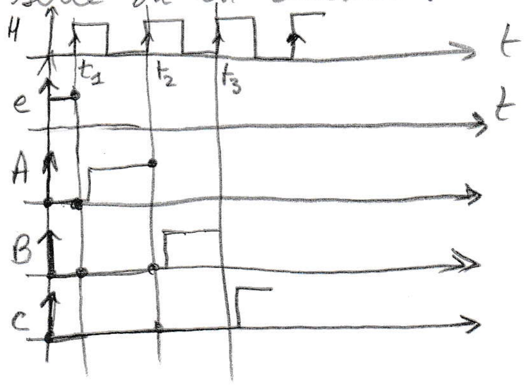
$J = A.B.C$ J est à 1 quand A, B et C sont à 1

K est obtenu à la sortie d'un opérateur non ou avec A, B et C en entrée : $K = \overline{A+B+C} = \bar{A}.\bar{B}.\bar{C} \Rightarrow K = 1$ quand $A=B=C=0$

J	K	Q	
0	0	Qpred	effet mémoire
0	1	0	mise à 0
1	0	1	mise à 1
1	1	$\overline{Qpred}$	effet compteur

A	B	C	J	K	Q	
0	0	0	0	1	0	mise à 0
0	0	1	0	0	Qpred	effet mémoire conservation du niveau logique La sortie n'évolue pas
0	1	0	0	0	Qpred	
0	1	1	0	0	Qpred	
1	0	0	0	0	Qpred	
1	0	1	0	0	Qpred	
1	1	0	0	0	Qpred	
1	1	1	1	0	1	mise à 1

3) Les 3 bascules D sont en série ou en chaîne :

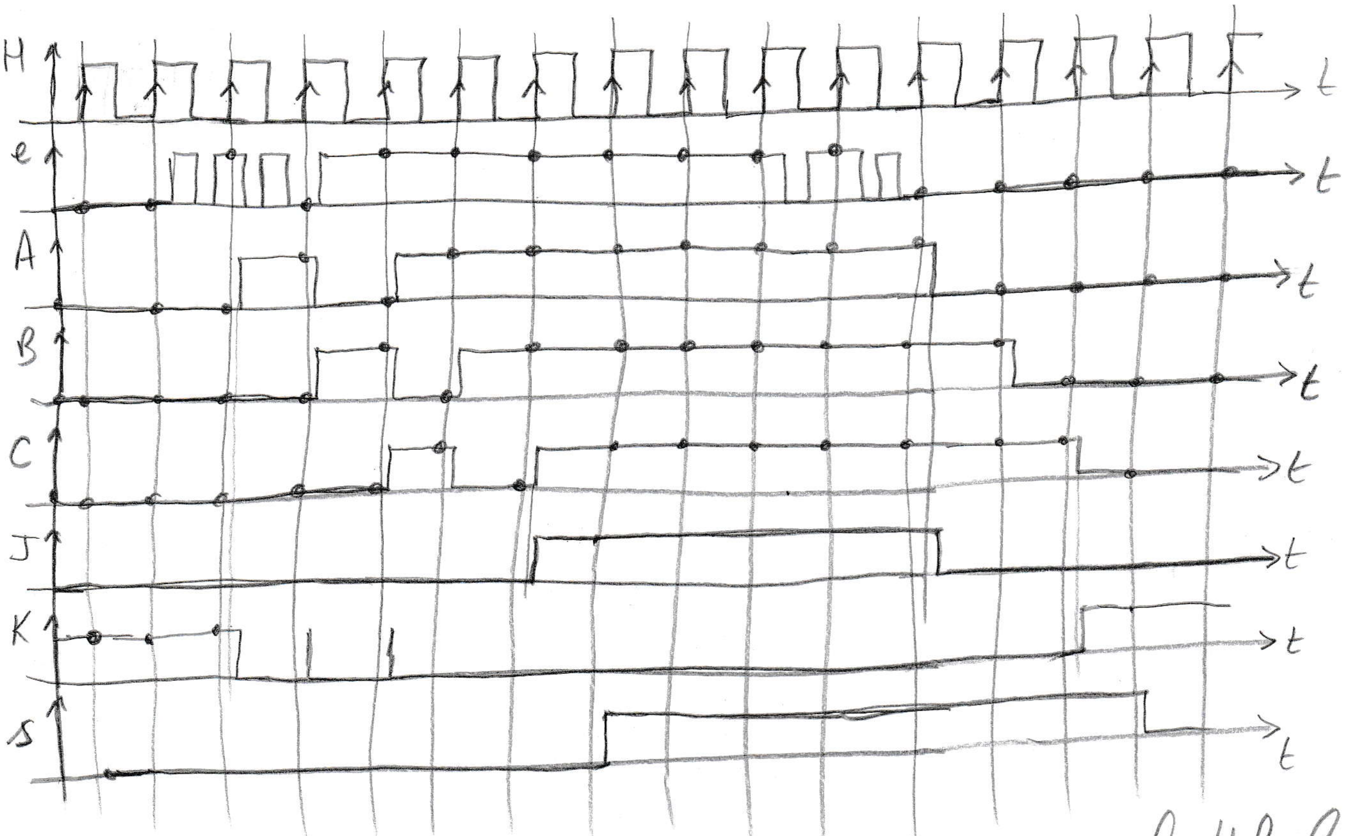


Si à l'instant t_1, $e=1$, A passe à 1 $B=C=0$

à l'instant t_2, $A=1$ donc B passe à 1 et $C=0$

à l'instant t_3 $B=1$ donc C passe à 1

Le niveau logique 1 se propage



- On repère les instants des fronts montants du signal d'horloge H.
- Seules comptent les valeurs de e à ces instants là
- Avec les valeurs de e on peut tracer A, B et C
- On peut alors en déduire J et K puis s

exercice 4 autre exercice d'analyse d'un circuit

1) Ce circuit utilise quatre bascules D qui sont des composants élémentaires de logique séquentielle.
Le circuit est donc un circuit séquentiel.

Les quatres bascules D sont toutes activées par le même signal d'activation H. Ce circuit est donc synchrone.

2) Lecture du schéma : suivre les fils

$D_0 = \overline{Q_0}$

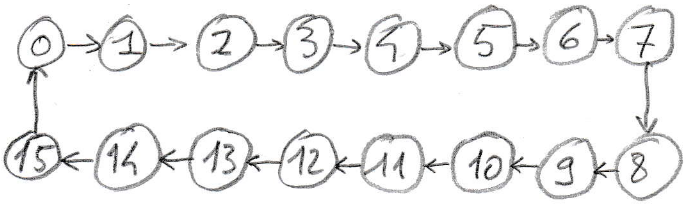
$D_1 = Q_0 \oplus Q_1$

$D_2 = Q_2 \oplus (Q_1 \cdot Q_0)$ $\quad$ $D_2 = 1$ si Q_2 ou $Q_1 \cdot Q_0$ sont à 1 mais pas les 2

$D_3 = Q_3 \oplus (Q_2 \cdot Q_1 \cdot Q_0)$ $\quad$ $D_3 = 1$ si Q_3 ou $Q_2 \cdot Q_2 \cdot Q_1$ sont à 1 mais pas les 2

Q	Q_3	Q_2	Q_1	Q_0	D_3	D_2	D_1	D_0	next Q
0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	1	0	2
2	0	0	1	0	0	0	1	1	3
3	0	0	1	1	0	1	0	0	4
4	0	1	0	0	0	1	0	1	5
5	0	1	0	1	0	1	1	0	6
6	0	1	1	0	0	1	1	1	7
7	0	1	1	1	1	0	0	0	8
8	1	0	0	0	1	0	0	1	9
9	1	0	0	1	1	0	1	0	10
10	1	0	1	0	1	0	1	1	11
11	1	0	1	1	1	1	0	0	12
12	1	1	0	0	1	1	0	1	13
13	1	1	0	1	1	1	1	0	14
14	1	1	1	0	1	1	1	1	15
15	1	1	1	1	0	0	0	0	0

$Q = (Q_3 Q_2 Q_1 Q_0)_2$

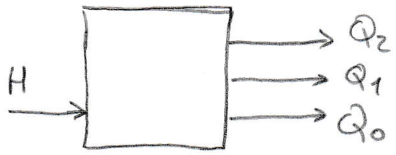


Ce circuit compte cycliquement de 0 à 15 : à chaque front montant du signal d'horloge, la sortie passe de Q à Q+1, sauf quand Q=15 où Q passe à 0.

C'est un compteur synchrone modulo 16.
C'est le circuit utilisé dans l'exercice 9 de logique combinatoire

exercice 5 : synthèse d'un circuit sequentiel synchrone

On veut fabriquer un circuit qui, à partir d'un signal d'horloge H, fabrique 3 variables périodiques ayant des rapports cycliques de 25, 50 et 75 %.



1) L'énoncé propose que les valeurs successives de Q_0 Q_1 Q_2 soient

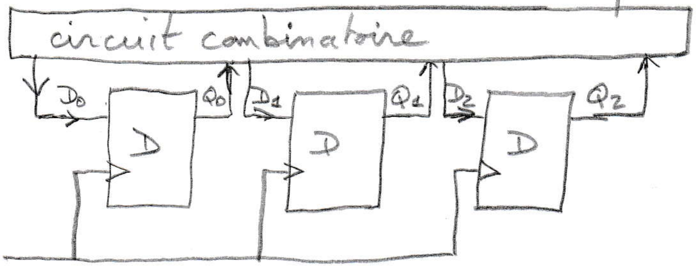
Q_2	Q_1	Q_0
0	0	0
0	0	1
0	1	1
1	1	1

Q_2 est à 1 une fois sur 4 ⇒ rapport cyclique $\frac{1}{4} = 25\%$

Q_1 est à 1 deux fois sur 4 ⇒ rapport cyclique $\frac{2}{4} = 50\%$

Q_0 est à 1 trois fois sur 4 ⇒ rapport cyclique $\frac{3}{4} = 75\%$

C'est bien ce qui est souhaité



On veut realiser ce circuit à l'aide de 3 bascules D dont les entrées D_0, D_1, D_2 sont obtenues à partir de Q_0 Q_1 Q_2 par un circuit de logique combinatoire

Q_2	Q_1	Q_0	D_2	D_1	D_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	0	0	0

D est la future valeur de Q, la valeur de Q au prochain front montant.

← on veut passer de 111 à 000

D_2, D_1, D_0 sont des fonctions logiques definies dans 4 cas sur 8 : il n'y a pas unicité de la solution

possibilité d'utiliser des tableaux de Karnaugh

D_2

Q_2 \ Q_1Q_0	00	01	11	10
0	0	0	1	X
1	X	X	0	X

D_1

Q_2 \ Q_1Q_0	00	01	11	10
0	0	1	1	X
1	X	X	0	X

D_0

Q_2 \ Q_1Q_0	00	01	11	10
0	1	1	1	X
1	X	X	0	X

$D_2 = \overline{Q_2} \cdot Q_1$

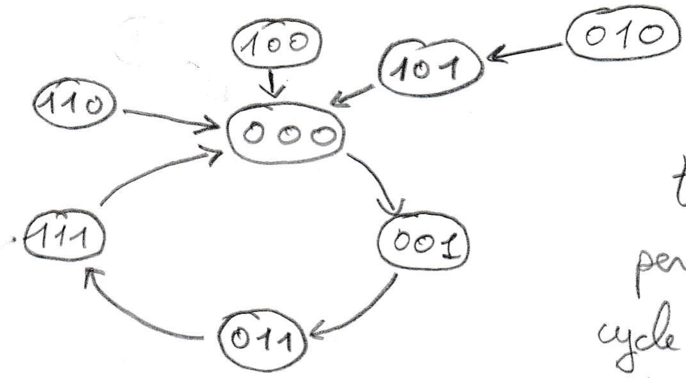
$D_1 = \overline{Q_2} \cdot Q_0$

$D_0 = \overline{Q_2}$

On vérifie ensuite que le circuit est stable en faisant tous les cas possibles.

Q	Q_2	Q_1	Q_0	$D_2 = \overline{Q_2} \cdot Q_1$	$D_1 = \overline{Q_2} \cdot Q_0$	$D_0 = \overline{Q_2}$	next Q
0	0	0	0	0	0	1	001
1	0	0	1	0	1	1	011
2	0	1	0	1	0	1	101
3	0	1	1	1	1	1	111
4	1	0	0	0	0	0	000
5	1	0	1	0	0	0	000
6	1	1	0	0	0	0	000
7	1	1	1	0	0	0	000

cycle nominal à 4 temps

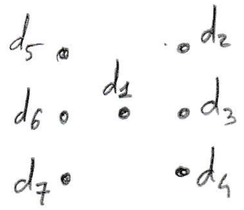


Ce circuit est <u>stable</u> : Si jamais, à la mise sous tension ou à la suite d'une perturbation, il sort de son cycle nominal, il y retourne de lui-même (en 2 cycles d'horloge maximum dans le cas de ce circuit).

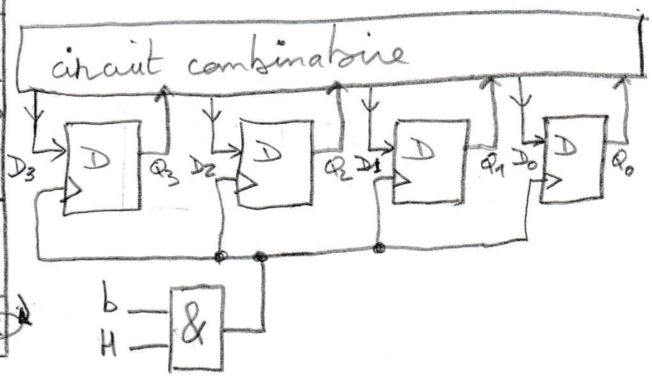
exercice 6 : synthèse d'un circuit séquentiel synchrone

On veut réaliser un dé électronique. Quand l'utilisateur appuie sur un bouton, un compteur va compter rapidement de 1 à 6 cycliquement et quand l'utilisateur relache le bouton, le compteur arrête de compter. Si le compteur compte très vite, le nombre obtenu quand l'utilisateur relâche le bouton ne peut pas être choisi par l'utilisateur. Il dépend donc du hasard.

C'est un générateur de nombres aléatoires



Q_3	Q_2	Q_1	Q_0	D_3	D_2	D_1	D_0
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	1	1	0
1	1	1	0	0	0	0	1



d_2 et d_7 sont toujours allumés en même temps

d_4 et d_5 aussi

d_3 et d_6 aussi

On prend $d_1 = Q_0$, $d_2 = d_7 = Q_1$, $d_4 = d_5 = Q_2$, $d_3 = d_6 = Q_3$

On a besoin de 4 bascules D

On réalise un compteur modulo 6, avec un code sur 4 bits

$D_3\ D_2\ D_1\ D_0$ sont définis dans 6 cas sur 16

D_3

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	0	0	0
01	X	X	1	0
11	X	X	X	0
10	X	X	X	X

$D_3 = Q_2 \cdot Q_0$

D_2

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	0	1	0
01	X	X	1	1
11	X	X	X	0
10	X	X	X	X

$D_2 = \overline{Q_3} \cdot Q_2 + Q_1 \cdot Q_0$

D_1

$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	1	1	1
01	X	X	1	1
11	X	X	X	0
10	X	X	X	X

$D_1 = \overline{Q_3}$

D_0

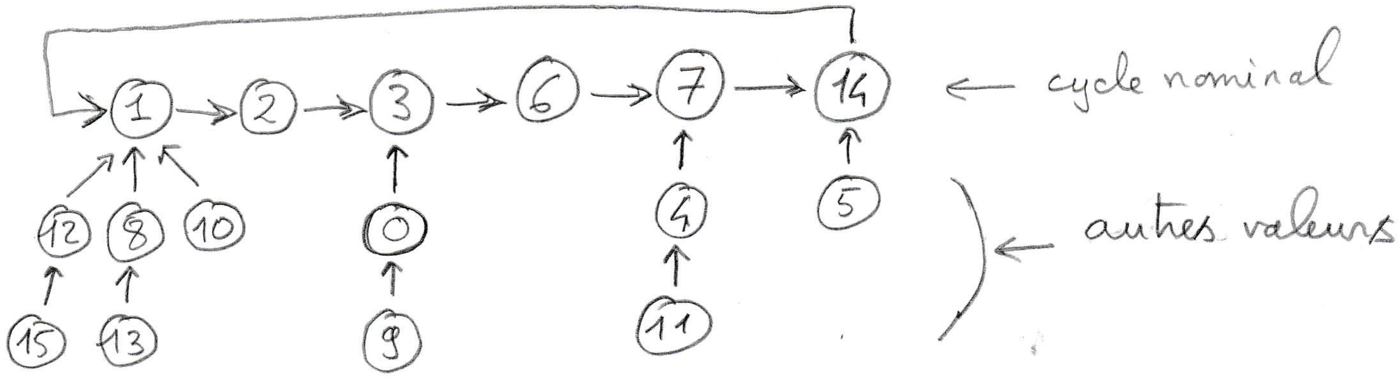
$Q_3Q_2 \backslash Q_1Q_0$	00	01	11	10
00	X	0	0	1
01	X	X	0	1
11	X	X	X	1
10	X	X	X	X

$D_0 = \overline{Q_0}$

Il faut vérifier que ces réalisations minimales conduisent à un circuit stable, en faisant tous les cas possibles

$Q = (Q_3\,Q_2\,Q_1\,Q_0)_2$

Q	Q_3	Q_2	Q_1	Q_0	$D_3 = Q_2 \cdot Q_0$	$D_2 = \overline{Q_3}\,Q_2 + Q_1 Q_0$	$D_1 = \overline{Q_3}$	$D_0 = \overline{Q_0}$	next Q
0	0	0	0	0			1	1	3
1	0	0	0	1			1		2
2	0	0	1	0			1	1	3
3	0	0	1	1		1	1		6
4	0	1	0	0		1	1	1	7
5	0	1	0	1	1	1	1		14
6	0	1	1	0		1	1	1	7
7	0	1	1	1	1	1	1		14
8	1	0	0	0				1	1
9	1	0	0	1					0
10	1	0	1	0				1	1
11	1	0	1	1		1			4
12	1	1	0	0				1	1
13	1	1	0	1	1				8
14	1	1	1	0				1	1
15	1	1	1	1	1	1			12



Ce circuit est stable : si jamais, à la mise sous tension ou à la suite d'une perturbation, il se trouve en dehors de son cycle nominal, il y retourne de lui-même (en 2 cycles d'horloge maximum dans le cas de ce circuit).